

Docket No.: 60188-798

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Tomoya ISHIKAWA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 10, 2004	:	Examiner:
	:	
For: LEVEL SHIFT CIRCUIT	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP 2003-137124, filed on May 15, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: March 10, 2004

日 本 国 特 許 庁 *McDermott, Will & Emery*
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 1 5 日
Date of Application:

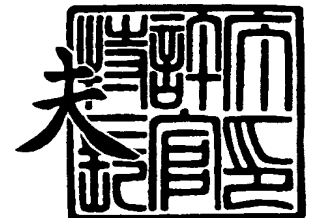
出 願 番 号 特 願 2 0 0 3 - 1 3 7 1 2 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 3 7 1 2 4]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 3 年 1 1 月 1 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 5038450007

【提出日】 平成15年 5月15日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 19/0185

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 石川 智也

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 中川 博文

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レベルシフト回路

【特許請求の範囲】

【請求項 1】 第 1 の電源と、当該第 1 の電源より低い電圧を有する第 2 の電源との間に直列に介在して各々データ入力に応じた電圧をゲートに受け取る P 型 MOS トランジスタと N 型 MOS トランジスタとを有し、当該 P 型 MOS トランジスタと N 型 MOS トランジスタとの接続点をデータ出力ノードとするレベルシフト基本回路と、

前記データ入力の遷移時に前記 P 型 MOS トランジスタと前記 N 型 MOS トランジスタとが同時にオンすることにより前記第 1 の電源と前記第 2 の電源との間に流れる貫通電流を抑止するための制御回路とを備えたレベルシフト回路であって、

前記制御回路は、

前記 N 型 MOS トランジスタを前記第 2 の電源から切り離すための第 1 の回路と、

前記第 1 の回路による切り離しが行われている状態で前記データ出力ノードを前記第 1 の電源によりプリチャージするための第 2 の回路とを備え、

前記第 2 の回路によるプリチャージが終了した後に前記第 1 の回路による切り離しが解除され、かつ前記第 1 の回路による切り離しが行われている間に前記データ入力が遷移するように構成されたことを特徴とするレベルシフト回路。

【請求項 2】 請求項 1 記載のレベルシフト回路において、

前記第 1 の回路は、前記 N 型 MOS トランジスタと前記第 2 の電源との間に介在した制御用の N 型 MOS トランジスタを有し、

前記第 2 の回路は、前記第 1 の電源と前記データ出力ノードとの間に介在した制御用の P 型 MOS トランジスタを有し、

前記制御用の N 型 MOS トランジスタのゲートに第 1 の制御入力、前記制御用の P 型 MOS トランジスタのゲートに第 2 の制御入力、それぞれ接続されたことを特徴とするレベルシフト回路。

【請求項 3】 第 1 の電源と、当該第 1 の電源より低い電圧を有する第 2 の

電源との間に直列に介在して各々データ入力に応じた電圧をゲートに受け取る P 型 MOS トランジスタと N 型 MOS トランジスタとを有し、当該 P 型 MOS トランジスタと N 型 MOS トランジスタとの接続点をデータ出力ノードとするレベルシフト基本回路と、

前記データ入力の遷移時に前記 P 型 MOS トランジスタと前記 N 型 MOS トランジスタとが同時にオンすることにより前記第 1 の電源と前記第 2 の電源との間に流れる貫通電流を抑止するための制御回路とを備えたレベルシフト回路であって、

前記制御回路は、

前記 N 型 MOS トランジスタのゲート電圧を前記第 2 の電源の電圧に引き下げるための第 1 の回路と、

前記第 1 の回路による電圧引き下げが行われている状態で前記データ出力ノードを前記第 1 の電源によりプリチャージするための第 2 の回路とを備え、

前記第 2 の回路によるプリチャージが終了した後に前記第 1 の回路による電圧引き下げが解除され、かつ前記第 1 の回路による電圧引き下げが行われている間に前記データ入力が遷移するように構成されたことを特徴とするレベルシフト回路。

【請求項 4】 請求項 3 記載のレベルシフト回路において、

前記第 1 の回路は、前記データ入力に接続された 1 入力と、前記 N 型 MOS トランジスタのゲートに接続された出力とを持つ 2 入力 NOR 回路を有し、

前記第 2 の回路は、前記第 1 の電源と前記データ出力ノードとの間に介在した制御用の P 型 MOS トランジスタを有し、

前記 2 入力 NOR 回路の他の入力に第 1 の制御入力、前記制御用の P 型 MOS トランジスタのゲートに第 2 の制御入力、それぞれ接続されたことを特徴とするレベルシフト回路。

【請求項 5】 請求項 1～4 のいずれか 1 項に記載のレベルシフト回路において、

複数個の前記レベルシフト基本回路につき 1 個の前記制御回路を備えたことを特徴とするレベルシフト回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、異なる電源電圧で動作する回路間のインターフェースとして働くレベルシフト回路に関するものである。

【0002】**【従来の技術】**

CMOS構成の従来のレベルシフト回路では、電源とグラウンドとの間に直列に介在したP型MOSトランジスタとN型MOSトランジスタとがデータ入力の遷移時に同時にオンすることが避けられないため、この際に貫通電流が発生する（特許文献1参照）。

【0003】**【特許文献1】**

特開平11-136120号公報

【0004】**【発明が解決しようとする課題】**

液晶ドライバでは、出力数にビット数を乗じて得られる数のレベルシフト回路を必要とする。例えば、各々8ビットで出力数が384である液晶ドライバは、3072個ものレベルシフト回路を使用する。このように多数のレベルシフト回路を使用する用途では、個々のレベルシフト回路中の貫通電流による消費電力の増加が課題であるとともに、貫通電流によるグラウンド電位の上昇がチップ外部にノイズとして出力されてシステムとしての誤動作を引き起こすという課題があった。

【0005】

本発明の目的は、CMOS構成のレベルシフト回路における貫通電流の発生を抑止することにある。

【0006】**【課題を解決するための手段】**

上記目的を達成するため、本発明は、第1の電源と当該第1の電源より低い電

圧を有する第2の電源との間に直列に介在して各々データ入力に応じた電圧をゲートに受け取るP型MOSトランジスタとN型MOSトランジスタとを有し、当該P型MOSトランジスタとN型MOSトランジスタとの接続点をデータ出力ノードとするレベルシフト基本回路と、前記データ入力の遷移時に前記P型MOSトランジスタと前記N型MOSトランジスタとが同時にオンすることにより前記第1の電源と前記第2の電源との間に流れる貫通電流を抑止するための制御回路とを備えたレベルシフト回路の構成を採用することとしたものである。

【0007】

前記制御回路は、前記N型MOSトランジスタを前記第2の電源から切り離すための第1の回路と、前記第1の回路による切り離しが行われている状態で前記データ出力ノードを前記第1の電源によりプリチャージするための第2の回路とを備え、前記第2の回路によるプリチャージが終了した後に前記第1の回路による切り離しが解除され、かつ前記第1の回路による切り離しが行われている間に前記データ入力が遷移するように構成される。

【0008】

あるいは、前記制御回路は、前記N型MOSトランジスタのゲート電圧を前記第2の電源の電圧に引き下げるための第1の回路と、前記第1の回路による電圧引き下げが行われている状態で前記データ出力ノードを前記第1の電源によりプリチャージするための第2の回路とを備え、前記第2の回路によるプリチャージが終了した後に前記第1の回路による電圧引き下げが解除され、かつ前記第1の回路による電圧引き下げが行われている間に前記データ入力が遷移するように構成される。

【0009】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照しながら説明する。

【0010】

図1は、本発明に係るレベルシフト回路の構成例を示している。図1において、10はCMOS構成のレベルシフト基本回路、20は貫通電流を抑止するための制御回路である。レベルシフト基本回路10は、2個のN型MOSトランジス

タM1, M2と、2個のP型MOSトランジスタM3, M4とを備えている。制御回路20は、2個のP型MOSトランジスタM5, M6と、2個のN型MOSトランジスタM7, M8とを備えている。Vin1, Vin2は相補データ入力、VS1, VS2は各々制御入力、Vout1, Vout2は各々データ出力、VDDは第1の電源、VSSはVDDより低い電圧を有する第2の電源（グラウンド：0V）である。

【0011】

図1において、N型MOSトランジスタM1のゲートにVin1を、N型MOSトランジスタM2のゲートにVin2をそれぞれ接続する。N型MOSトランジスタM1のソースと、ゲートにVS1が接続されたN型MOSトランジスタM7のドレインとを接続し、後者のN型MOSトランジスタM7のソースをVSSに接続する。同様に、N型MOSトランジスタM2のソースと、ゲートにVS1が接続されたN型MOSトランジスタM8のドレインとを接続し、後者のN型MOSトランジスタM8のソースをVSSに接続する。N型MOSトランジスタM1のドレインをP型MOSトランジスタM3のドレインと接続し、N型MOSトランジスタM2のドレインをP型MOSトランジスタM4のドレインと接続する。P型MOSトランジスタM3, M4のソースは、それぞれVDDに接続する。P型MOSトランジスタM3のゲートは、P型MOSトランジスタM4のドレインと接続し、その接続点を第1のデータ出力ノードVout1とする。また、P型MOSトランジスタM4のゲートは、P型MOSトランジスタM3のドレインと接続し、その接続点を第2のデータ出力ノードVout2とする。更に、各々のゲートがVS2に接続されたP型MOSトランジスタM5, M6の各々のソースをVDDに接続し、一方のP型MOSトランジスタM5のドレインをVout1に接続し、他方のP型MOSトランジスタM6のドレインをVout2に接続する。

【0012】

図2は、図1のレベルシフト回路の動作例を示している。まず、初期状態として、VS1, VS2がHレベル、Vin1がLレベル、Vin2がHレベルとする。この状態（出力期間）では、Vout1はVSSを出力し、Vout2はV

DDを出力する。N型MOSトランジスタM1とP型MOSトランジスタM4とがオフなので、VDDとVSSとの間に貫通電流は流れない。

【0013】

次に、レベルシフト出力を切り替えるには、VS1をLレベルにすることで制御用のN型MOSトランジスタM7、M8をオフさせている間（スイッチオフ期間）に、Vin1及びVin2を遷移させる。このスイッチオフ期間では、N型MOSトランジスタM1、M2の各々のソースがVSSから切り離されている。しかも、このスイッチオフ期間内に、VS2をLレベルにすることで制御用のP型MOSトランジスタM5、M6をオンさせる。これら制御用のP型MOSトランジスタM5、M6のオン期間では、Vout1及びVout2が共にVDDにプリチャージされる（プリチャージ期間）。したがって、Vout1はプリチャージ開始時点でVSSからVDDへ遷移する。

【0014】

図示の例では、Vin1がLレベルからHレベルへ、Vin2がHレベルからLレベルへそれぞれ遷移し、VS2をHレベルに戻すことによりプリチャージ期間が終了した後に、VS1をHレベルに戻すことによりN型MOSトランジスタM7、M8による切り離しが解除された時点で、Vout2がVDDからVSSへ遷移する。

【0015】

以上のレベルシフト出力の切り替え中に、N型MOSトランジスタM1とP型MOSトランジスタM3とが同時にオンすることはない、またN型MOSトランジスタM2とP型MOSトランジスタM4とが同時にオンすることもない。したがって、これらのトランジスタに貫通電流が流れることはない。また、制御用のP型MOSトランジスタM5、M6がオンすることでVout1及びVout2にVDDを出力しているとき、制御用のN型MOSトランジスタM7、M8によりN型MOSトランジスタM1、M2の各々のソースがVSSから切り離されているので、制御用のP型MOSトランジスタM5、M6を通して貫通電流が流れることもない。

【0016】

図1のレベルシフト回路が制御回路20を備えない場合を想定すると、 V_{in1} がLレベルからHレベルへ、 V_{in2} がHレベルからLレベルへそれぞれ遷移したとき、N型MOSトランジスタM1はオフ状態からオン状態となり、N型MOSトランジスタM2はオン状態からオフ状態になる。このとき、N型MOSトランジスタM1とP型MOSトランジスタM3とが共にオン状態であるので、 V_{DD} と V_{SS} との間に貫通電流が発生する。従来は、ここでN型MOSトランジスタM1により V_{out2} の電位が徐々に引き下げられて貫通電流が遮断されるように、N型MOSトランジスタM1のオン状態での電流能力（ゲート幅）をP型MOSトランジスタM3より大きく設計していた。同様に、N型MOSトランジスタM2のオン状態での電流能力（ゲート幅）をP型MOSトランジスタM4より大きく設計していた。ところが、貫通電流を抑止するための制御回路20を備えた図1のレベルシフト回路によれば、貫通電流をN型MOSトランジスタM1、M2で遮断する必要がないので、これらのN型MOSトランジスタM1、M2の電流能力（ゲート幅）をP型MOSトランジスタM3、M4より大きく設計する必要がなく、レベルシフト基本回路10の回路面積を小さくできる。

【0017】

なお、図1中の制御用のN型MOSトランジスタM7、M8は、これを1個のN型MOSトランジスタに置き換えることができる。ただし、レイアウト的には2個のN型MOSトランジスタM7、M8を採用する方が都合がよい。

【0018】

図3は、図1のレベルシフト回路の変形例を示している。図3によれば、 n を2以上の整数とすると、 n 個のレベルシフト基本回路10につき、貫通電流を抑止するための1個の制御回路20を備える。これにより、制御回路20を設けることによる面積ペナルティを小さくできる。

【0019】

図4は、本発明に係るレベルシフト回路の他の構成例を示している。図4において、10はCMOS構成のレベルシフト基本回路、21は貫通電流を抑止するための制御回路である。レベルシフト基本回路10は、2個のN型MOSトランジスタM1、M2と、2個のP型MOSトランジスタM3、M4とを備えている

。制御回路 21 は、2 個の 2 入力 NOR 回路 N1, N2 と、2 個の P 型 MOS トランジスタ M5, M6 とを備えている。Vin1, Vin2 は相補データ入力、VS1, VS2 は各々制御入力、Vout1, Vout2 は各々データ出力、VDD は第 1 の電源、VSS は VDD より低い電圧を有する第 2 の電源（グラウンド：0V）である。

【0020】

図 4 において、一方の NOR 回路 N1 は Vin1 と VS1 とを入力に持ち、他方の NOR 回路 N2 は Vin2 と VS1 とを入力に持つ。N 型 MOS トランジスタ M1 のゲートに NOR 回路 N1 の出力 V1 を接続し、N 型 MOS トランジスタ M2 のゲートに NOR 回路 N2 の出力 V2 を接続する。N 型 MOS トランジスタ M1, M2 のソースは、それぞれ VSS に接続する。N 型 MOS トランジスタ M1 のドレインを P 型 MOS トランジスタ M3 のドレインと接続し、N 型 MOS トランジスタ M2 のドレインを P 型 MOS トランジスタ M4 のドレインと接続する。P 型 MOS トランジスタ M3, M4 のソースは、それぞれ VDD に接続する。P 型 MOS トランジスタ M3 のゲートは、P 型 MOS トランジスタ M4 のドレインと接続し、その接続点を第 1 のデータ出力ノード Vout1 とする。また、P 型 MOS トランジスタ M4 のゲートは、P 型 MOS トランジスタ M3 のドレインと接続し、その接続点を第 2 のデータ出力ノード Vout2 とする。更に、各々のゲートが VS2 に接続された P 型 MOS トランジスタ M5, M6 の各々のソースを VDD に接続し、一方の P 型 MOS トランジスタ M5 のドレインを Vout1 に接続し、他方の P 型 MOS トランジスタ M6 のドレインを Vout2 に接続する。

【0021】

図 5 は、図 4 のレベルシフト回路の動作例を示している。まず、初期状態として、VS1 が L レベル、VS2 が H レベル、Vin1 が L レベル、Vin2 が H レベルとする。この状態（出力期間）では、V1 が H レベル、V2 が L レベルであり、Vout1 は VDD を出力し、Vout2 は VSS を出力する。N 型 MOS トランジスタ M2 と P 型 MOS トランジスタ M3 とがオフなので、VDD と VSS との間に貫通電流は流れない。

【0022】

次に、レベルシフト出力を切り替えるには、 V_{S1} をHレベルにすることでN型MOSトランジスタM1、M2のゲート電圧 V_1 、 V_2 を共にLレベルに引き下げることににより当該N型MOSトランジスタM1、M2を強制的にオフさせている間（スイッチオフ期間）に、 V_{in1} 及び V_{in2} を遷移させる。しかも、このスイッチオフ期間内に、 V_{S2} をLレベルにすることで制御用のP型MOSトランジスタM5、M6をオンさせる。これら制御用のP型MOSトランジスタM5、M6のオン期間では、 V_{out1} 及び V_{out2} が共にVDDにプリチャージされる（プリチャージ期間）。したがって、 V_{out2} はプリチャージ開始時点でVSSからVDDへ遷移する。

【0023】

図示の例では、 V_{in1} がLレベルからHレベルへ、 V_{in2} がHレベルからLレベルへそれぞれ遷移し、 V_{S2} をHレベルに戻すことによりプリチャージ期間が終了した後に、 V_{S1} をLレベルに戻すことによりN型MOSトランジスタM1、M2の強制オフが解除された時点で、 V_2 がLレベルからHレベルへ、 V_{out1} がVDDからVSSへそれぞれ遷移する。

【0024】

以上のレベルシフト出力の切り替え中に、N型MOSトランジスタM1とP型MOSトランジスタM3とが同時にオンすることはない、またN型MOSトランジスタM2とP型MOSトランジスタM4とが同時にオンすることもない。したがって、これらのトランジスタに貫通電流が流れることはない。また、制御用のP型MOSトランジスタM5、M6がオンすることで V_{out1} 及び V_{out2} にVDDを出力しているとき、N型MOSトランジスタM1、M2が強制オフ状態であるので、制御用のP型MOSトランジスタM5、M6を通して貫通電流が流れることもない。

【0025】

貫通電流を抑止するための制御回路21を備えた図4のレベルシフト回路によっても、N型MOSトランジスタM1、M2の電流能力（ゲート幅）をP型MOSトランジスタM3、M4より大きく設計する必要がなく、レベルシフト基本回

路 10 の回路面積を小さくできる。

【0026】

図 6 は、図 4 のレベルシフト回路の変形例を示している。図 6 によれば、 n を 2 以上の整数とすると、 n 個のレベルシフト基本回路 10 につき、貫通電流を抑止するための 1 個の制御回路 22 を備える。これにより、制御回路 22 を設けることによる面積ペナルティを小さくできる。

【0027】

なお、後続回路が P チャンネル型であるか N チャンネル型であるかに応じて、上記各実施形態中のレベルシフト基本回路 10 の出力段に適宜インバータを付加すればよい。また、以上の説明では第 2 の電源を V_{SS} ($=0V$) としたが、これを正又は負の電源に変更してもよい。

【0028】

【発明の効果】

以上説明してきたとおり、本発明によれば、CMOS 構成のレベルシフト回路における貫通電流の発生を抑止することができる。

【図面の簡単な説明】

【図 1】

本発明に係るレベルシフト回路の構成例を示す回路図である。

【図 2】

図 1 のレベルシフト回路の動作例を示すタイムチャート図である。

【図 3】

図 1 のレベルシフト回路の変形例を示す回路図である。

【図 4】

本発明に係るレベルシフト回路の他の構成例を示す回路図である。

【図 5】

図 4 のレベルシフト回路の動作例を示すタイムチャート図である。

【図 6】

図 4 のレベルシフト回路の変形例を示すブロック図である。

【符号の説明】

10 レベルシフト基本回路

20, 21, 22 制御回路

M1～M8 MOSトランジスタ

N1, N2 NOR回路

VDD 第1の電源

Vin1, Vin2 相補データ入力

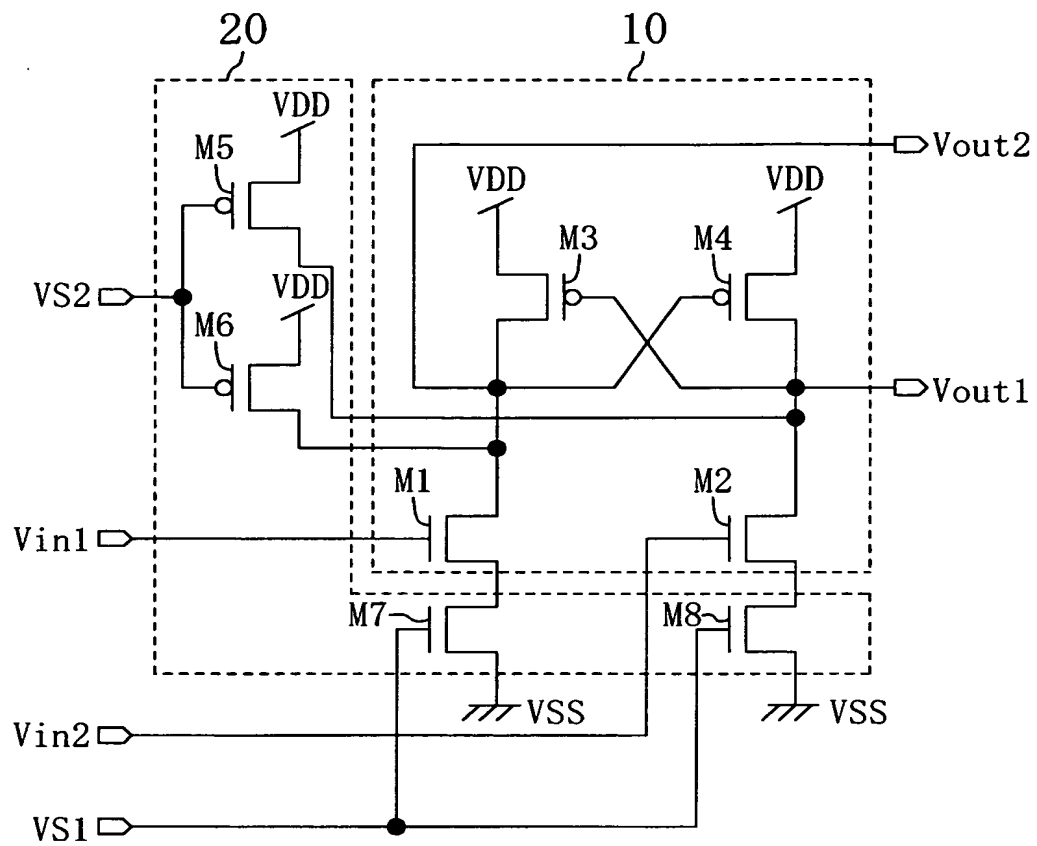
Vout1, Vout2 データ出力

VS1, VS2 制御入力

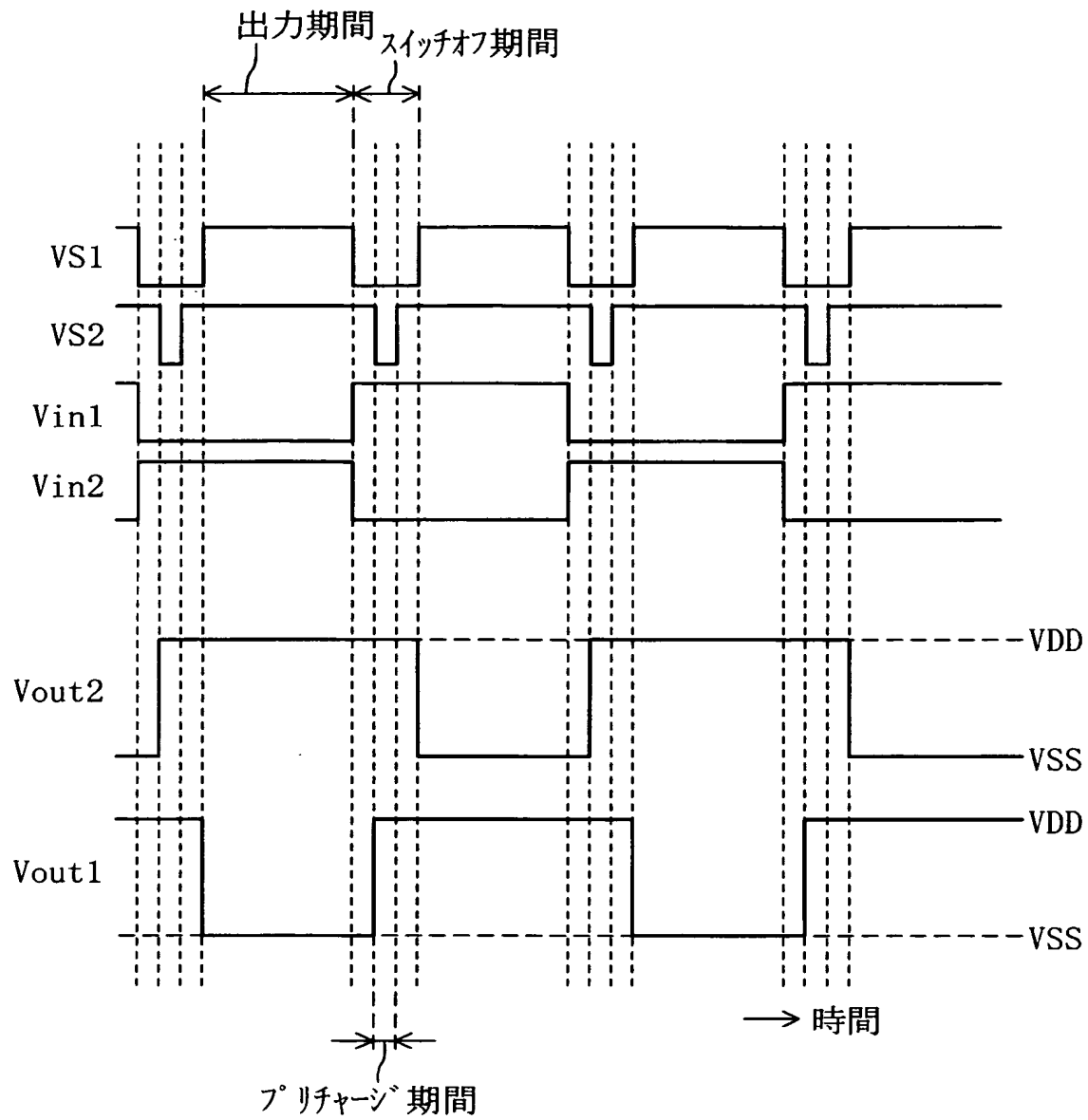
VSS 第2の電源 (グラウンド)

【書類名】 図面

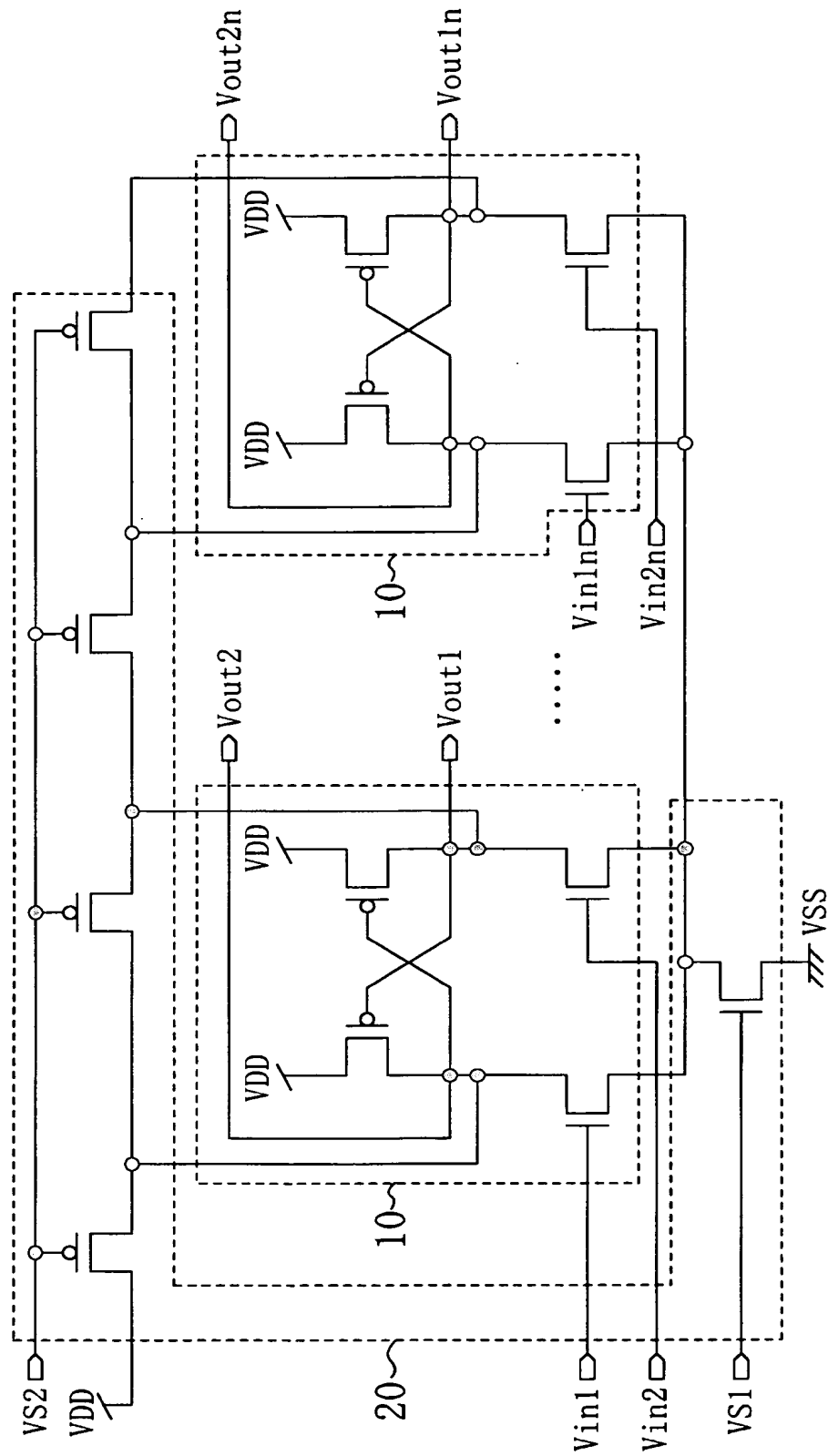
【図 1】



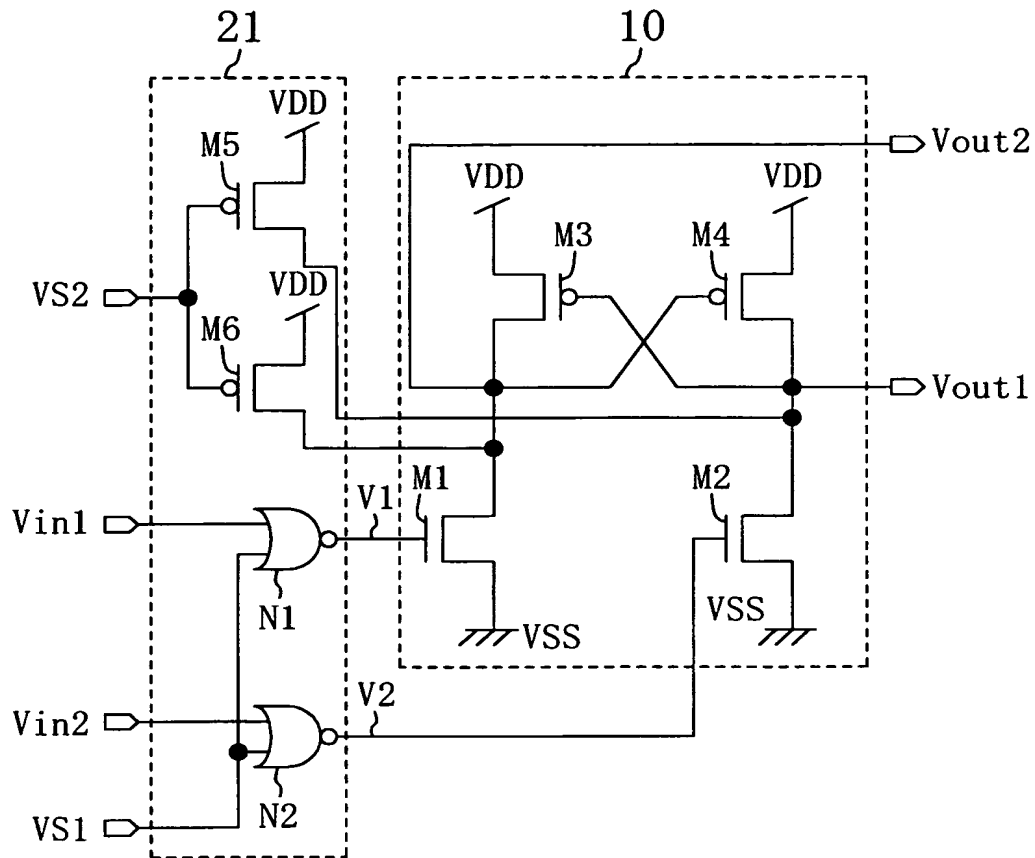
【図 2】



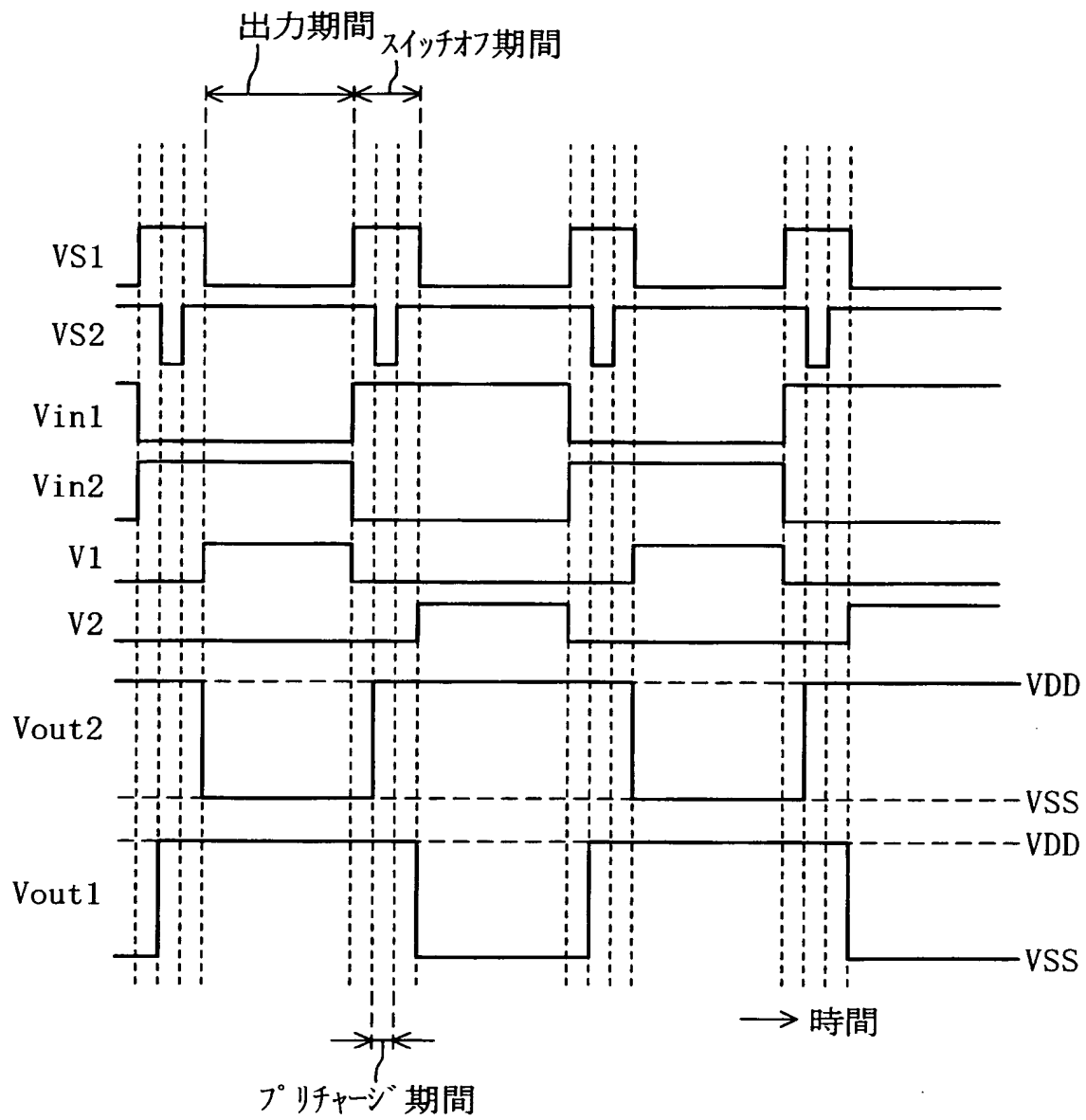
【図 3】



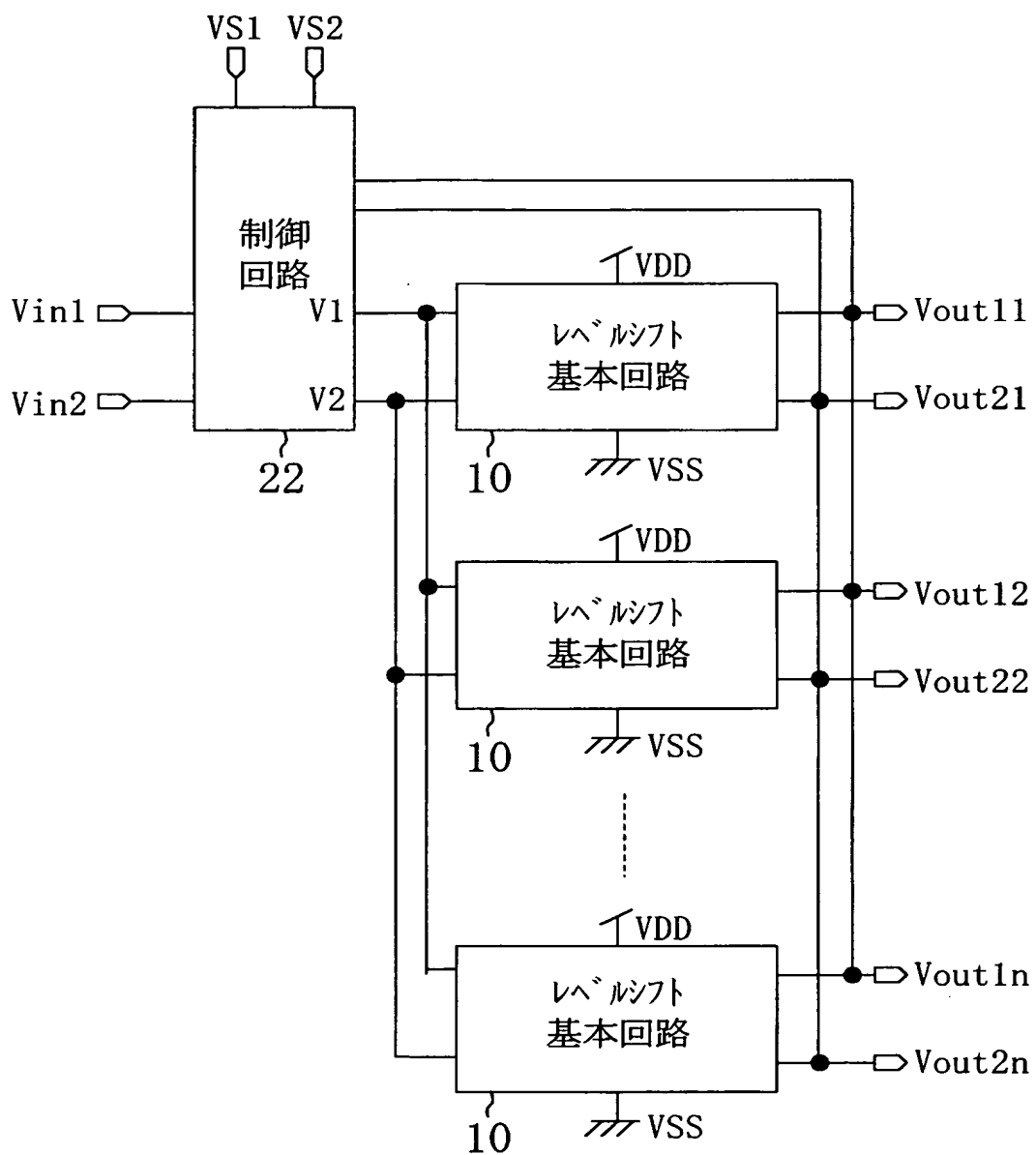
【図 4】



【図 5】



【図 6】





【書類名】 要約書

【要約】

【課題】 CMOS構成のレベルシフト回路における貫通電流の発生を抑止する。

【解決手段】 4個のトランジスタM1～M4からなるCMOS構成のレベルシフト基本回路10に、その貫通電流を抑止するための制御回路20を付加する。制御入力VS1をLレベルにすることで制御用のN型MOSトランジスタM7、M8をオフさせている間（スイッチオフ期間）に、相補データ入力Vin1、Vin2を遷移させる。このスイッチオフ期間では、N型MOSトランジスタM1、M2の各々のソースがVSSから切り離される。しかも、このスイッチオフ期間内に、制御入力VS2をLレベルにすることで制御用のP型MOSトランジスタM5、M6をオンさせる。これら制御用のP型MOSトランジスタM5、M6のオン期間では、データ出力Vout1及びVout2が共にVDDにプリチャージされる（プリチャージ期間）。

【選択図】 図1

特願 2003-137124

出願人履歴情報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社